

METHOD FOR MANUFACTURING INTEGRATED CIRCUIT INTEGRATING ELECTRICALLY PROGRAMMABLE NONVOLATILE MEMORY AND HIGH PERFORMANCE LOGIC CIRCUIT NET IN IDENTICAL SEMICONDUCTOR CHIP

Patent number: JP2001313374

Publication date: 2001-11-09

Inventor: PESCHIAROLI DANIELA; MAURELLI ALFONSO; PALUMBO ELISABETTA; PIAZZA FAUSTO

Applicant: STMICROELECTRONICS SRL

Classification:

- **International:** H01L27/10; H01L21/8238; H01L27/092; H01L21/8247; H01L27/115; H01L29/788; H01L29/792

- **European:**

Application number: JP20010095119 20010329

Priority number(s):

Also published as:



EP1139419 (A1)

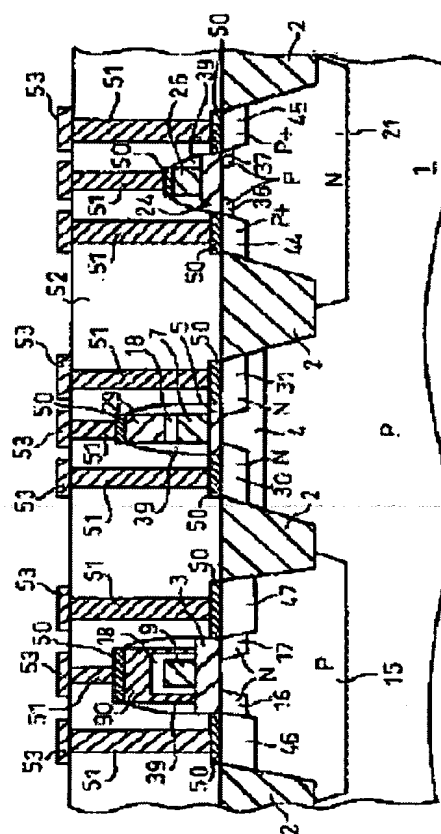
US6482698 (B2)

US2001049166 (A)

Abstract of JP2001313374

PROBLEM TO BE SOLVED: To provide a method for integrating a nonvolatile memory and a high performance logic circuit network in the same semiconductor chip.

SOLUTION: The floating gate of a memory cell of a nonvolatile memory and a gate electrode of a high-voltage transistor regarding the nonvolatile memory are formed of a first polysilicon layer, and the control gate of a memory cell of the nonvolatile memory and the gate electrode of a low voltage transistor regarding a high performance logic circuit network are formed of a second polysilicon layer.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

일본공개특허공보 평 13-313374호(2001.11.09) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313374

(P2001-313374A)

(43) 公開日 平成13年11月9日(2001.11.9)

(51) Int.Cl.	識別番号	F I	特許庁(参考)
H 01 L 27/10	4 6 1	H 01 L 27/10	4 6 1
	4 8 1		4 8 1
21/8238		27/06	3 2 1 K
27/092			3 2 1 D
21/8247		27/10	4 3 4

審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特開2001-95119(P2001-95119)

(22) 出願日 平成13年9月29日(2001.9.29)

(31) 優先権主張番号 00830236:6

(32) 優先日 平成12年9月29日(2000.9.29)

(33) 優先権主張国 欧州特許庁 (E P)

(71) 出願人 591002892

エスティーマイクロエレクトロニクスエ
ス. アール. エル.

S T M i c r o e l e c t r o n i c s
S. r. l.

イタリア国 ミラノ 20041 アグラータ
ブリアンツァ ヴィア ツィー オリヴ
エッティ 2

(72) 発明者 ダニエラ ベスキアローリ

イタリア国 20131 ミラノ ヴィア ボ
ルボラ 154

(74) 代理人 100072051

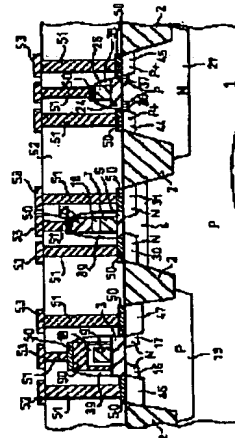
弁理士 杉村 興作 (外1名)

最終頁に続く

(54) 【発明の名称】 電気的にプログラム可能な不揮発性メモリと高性能論理回路網とを同じ半導体チップにおいて集積する集積回路を製造する方法

【課題】 不揮発性メモリ及び高性能論理回路網を同じ半導体チップにおいて集積する方法を提供する。

【解決手段】 不揮発性メモリのメモリセルのフローティングゲートと、前記不揮発性メモリに関する高電圧トランジスタのゲート電極とを第1ポリシリコン層によって形成し、前記不揮発性メモリのメモリセルの制御ゲートと、高性能論理回路網に関する低電圧トランジスタのゲート電極とを第2ポリシリコン層によって形成する。



【특정請求의範圍】

【請求項 1】 第 1 動作電圧において動作するメモリデバイスと、前記第 1 動作電圧より低い第 2 動作電圧において動作する高性能論理回路網とを具える集積回路を製造する方法において、
 各々が、前記第 1 動作電圧において動作する第 1 트ランジスタと、前記第 2 動作電圧において動作する第 2 트ラン지스타のための、半導体基板 (1) の第 1 及び第 2 部分における、第 1 厚さを有するゲート酸化物の第 1 層 (3) の形成と、前記メモリデバイスのメモ리스ルのための前記半導体基板의第 3 部分における、第 2 厚さを有するゲート酸化物の第 2 層 (5) の形成と、
 前記基板 (1) の第 1、第 2 及び第 3 部分における、第 1 폴리シリ콘層의堆積と、
 前記第 1 폴리シリ콘層을前記基板의第 1 及び第 3 部分から選択的に除去し、前記第 1 트ラン지스타に関するゲート電極 (8, 9) と、前記 메모리스ルに関するフローティング게이트電極 (7) と를規定し、前記第 1 폴리シリ콘層을前記基板의第 2 部分から完全に除去することと、
 前記基板 (1) の第 1、第 2 及び第 3 部分における 폴리シリ콘間隔電層 (18) の堆積と、
 前記 폴리シリ콘間隔電層 (18) 을前記基板 (1) の第 1 及び第 3 部分から選択的に除去して、前記 폴리シリ콘間隔電層 (18) が、前記第 1 트ラン지스타의게이트電極 (8, 9) と、前記 메모리스ルのフローティング게이트電極 (7) とにおいて殘るようにし、前記 폴리シリ콘間隔電層 (18) 을、前記基板 (1) の第 2 部分から、前記第 1 酸化物層 (2) と共に完全に除去することと、
 前記第 2 基板部分 (1) における、前記第 1 게이트酸化物層 (3) の第 1 厚さより薄い第 3 厚さを有する第 3 게이트酸化物層 (24) の形成と、
 前記基板 (1) の第 1、第 2 及び第 3 部分における第 2 폴리シリ콘層 (25) の堆積と、
 前記半導体基板의第 3 部分における前記第 2 폴리シリ콘層 (25) 을第 1 選択적의etchingし、前記 메모리스ルの게이트構造 (7, 18, 29) 를規定することと、
 前記基板 (1) の第 1 及び第 2 部分における前記第 2 폴리シリ콘層 (25) 을第 2 選択적의etchingして、前記第 2 트ラン지스타의게이트電極 (26, 27) 를規定すると共に、前記第 1 트ラン지스타의게이트電極 (8, 9) に関する 폴리シリ콘카バー (80, 90) を形成することと를有することを特徴とする。
 【請求項 2】 請求項 1 に記載의集積回路を製造する方法において、前記基板 (1) の第 1 及び第 2 部分における第 1 게이트酸化物層 (3) の形成が、前記第 1 酸化物層 (300) の成長と、その後の前記第 1 酸化物層 (300) における第 2 게이트酸化物層 (5) の成長と를有し、前記第 1 게이트酸化物層 (3) が、前記第 1 酸化物

層 (300) 及び第 2 게이트酸化物層 (5) から成るようにしたことを特徴とする、集積回路を製造する方法。
 【請求項 3】 請求項 2 に記載의集積回路を製造する方法において、前記第 1 게이트酸化物層 (3) が 100~300Å の厚さを有し、前記第 2 게이트酸化物層 (5) が 70~110Å の厚さを有し、前記第 3 게이트酸化物層 (24) が 20~80Å の厚さを有するようにしたことを特徴とする、集積回路を製造する方法。
 【請求項 4】 請求項 1、2 又は 3 に記載의集積回路を製造する方法において、前記基板 (1) の第 1 部分における、前記第 1 形式의트ラン지스타를收容する第 1 場電型の高電圧ウエル及び第 2 場電型の高電圧ウエル (11, 15) の形成を有することを特徴とする、集積回路を製造する方法。
 【請求項 5】 請求項 4 に記載의集積回路を製造する方法において、前記高電圧ウエル (11, 15) の形成に関して、第 1 場電型의ドーパント及び第 2 場電型의ドーパントの、各々、 $1 \sim 5 \times 10^{12}$ 原子/cm² 及び $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm² のドーズにおける前記基板 (1) への選択的의삽入を有することを特徴とする、集積回路を製造する方法。
 【請求項 6】 請求項 5 に記載의集積回路を製造する方法において、前記第 2 基板部分 (1) における、前記第 2 形式의트ラン지스타를收容する第 1 場電型의低電圧ウエル及び第 2 場電型의低電圧ウエル (21, 23) の形成を有することを特徴とする、集積回路を製造する方法。
 【請求項 7】 請求項 6 に記載의集積回路を製造する方法において、前記低電圧ウエル (21, 23) の形成に関して、第 1 場電型의ドーパント及び第 2 場電型의ドーパントの、各々、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm² のドーズにおける前記基板 (1) への選択的의삽入を有することを特徴とする、集積回路を製造する方法。
 【請求項 8】 同半導体チップにおいて集積された、低電圧において動作する高性能論理回路網と、前記低電圧より高い高電圧において動作するメモリデバイスと、前記メモリデバイスに関する、前記高電圧において動作する高電圧回路網とを具える集積回路において、前記高電圧に関する回路網が、第 1 厚さを有する第 1 게이트酸化物層 (3) と、第 2 폴리シリ콘層 (25) から形成されたカバー (80, 90) によって覆われた 폴리シリ콘間隔電層 (18) によって覆われた第 1 폴리シリ콘層 (6) から形成された 게이트電極と를有する第 1 트ラン지스타를具え、前記 메모리스ルが、第 2 게이트酸化物層 (5) と、前記第 1 폴리シリ콘層 (6) から形成されたフローティング게이트 (7) と、前記第 2 폴리シリ콘層 (25) から形成された制御게이트 (29) と를各々が有し、前記フローティング게이트及び制御게이트가前記 폴리シリ콘間隔電層 (18) によって分離された 메모리스ル를具え、前記低電圧論理回路網

가, 第3게이트산화물층(24)과, 前記第2폴리시리콘층(25)에서 형성된 게이트(26, 27)와를 각각을 갖는 제2트랜지스터를 갖는 것을 특징으로 하는 집적회로.

【0001】

【발명의 발명분야】 본 발명은, 일반적으로, 집적회로의 제조에 관한 것이다. 특히, 본 발명은, 전기적으로 프로그램 가능한 비휘발성 메모리와, 고성능 처리회로와를, 동일 반도체 칩에 있어서 집적하는 것에 관한 것이다. 이것을 해결하는.

【0002】

【従来の技術】 전자시스템 전체 또는 서브시스템의 하나의 반도체 칩에 있어서의 제조에 관련된 집적기술의 진보는, 처리회로, 높은 수준의 신뢰성을 갖는 메모리와, 동일 칩에 있어서 집적하는 능력을 포함한다.

【0003】 특히, 특히 플래시 EEPROM의ような 전기적으로 프로그램 가능한 형태의 비휘발성 메모리를, 고성능 처리회로, 즉, 고속 및 저전력 회로와의 제조에 관한 CMOS 프로세스에 있어서 집적하는 것이 필요하다.

【0004】 하지만, 이 형태의 조합은, 기술적인 관점에서, 특히, 동작 전압의 점에서, 서로 다른 필요조건을 갖는, 달성하는 것이 점점 더 어려워지고 있다.

【0005】 실제로는, 한쪽에서, 고성능 처리회로에 관한 CMOS 프로세스의 자연적인 진보는, 동작 전압에 있어서의 지속적인 저하를 낳고, 트랜지스터의 크기를 감소시키는 것을 가능하게 하고, 크기와 동작 전압에 있어서의 저하는, 게이트 산화층의 두께와, 트랜지스터 접합의 깊이에 있어서의 대응하는 저하를 낳는다.

【0006】 한쪽에서, 전기적으로 프로그램 가능한 비휘발성 메모리는, 비교적 높은 동작 전압을 필요로 하고, 메모리 셀의 크기에서의 감소에도 불구하고, 적어도 플로팅 게이트 비휘발성 메모리에 관한 한에서는, 이러한 전압 값을,近い将来에 있어서 적어도 감소시키는 것은 불가능하다고 생각된다.

【0007】 예를 들어, 0.25 μm 기술에 관하여, 고성능 처리회로에 관하여 설계된 진보된 CMOS 제조 기술에 의해 제조된 트랜지스터는, 약 0.9V 이하의 2.5V의 인가 전압 범위에서의 동작에 최적화되고, 이러한 트랜지스터는, 약 5nm의 게이트 산화층과, 약 8-10V보다 높은 전압에 견딜 수 있는 소스/드레인 접합을 갖는다.

【0008】 한쪽에서, 플래시 EEPROM 메모리는, 메모리 셀의 프로그래밍에 10-12V의 범위에서의 프로그래밍 전압을 필요로 하고(前記 프로그래밍 전압은, 다른 형태의 비휘발성 메모리보다도 높고), 이러한 전압에 견딜 수 있도록 하기 위하여, 前記 트랜지스터는, 15-18nm의 범위에서의 두께와,

적어도 前記 프로그래밍 전압보다도 높은 전압을 갖는 소스/드레인 접합을 갖는 것이 필요하다.

【0009】

【발명이 해결しようとする課題】 이러한 상충하는 조건을 조화시키는 것은 쉬운 것이 아니다. 한쪽에서, 前記 트랜지스터의 구조를, 이러한 비휘발성 메모리에서 필요한 前記 비교적 높은 전압에 견딜 수 있도록 하기 위하여, 진보된 CMOS 기술 내에서 최적화하려는 것과 같은 노력도, 前記 처리회로의 성능에 있어서의 저하를 초래할 수 있다. 한쪽에서, 고성능 CMOS 트랜지스터와, 비교적 높은 전압에 견딜 수 있는 트랜지스터의 양을 제조하는 구조의 완전한 통합은, 前記 제조 프로세스의 포토 리소그래피 마스크의 수를 적어도 증가시킨다.

【0010】 비교적 높은 밀도(즉, 256-512킬로비트)의 플래시 EEPROM 메모리를 제조하는 방법은, 2개의 폴리시리콘 레이어, 前記 메모리 셀의 플로팅 게이트를 형성하는 데 사용되는 하부 레이어(“第1폴리”)와, 前記 메모리 셀의 제어 게이트 및 메모리 서비스 회로(셀 선택 회로, 읽기/쓰기 회로, 및, 프로그래밍 회로, 등)의 트랜지스터의 게이트의 양을 형성하는 데 사용되는 상부 레이어(“第2폴리”)와를 필요로 한다. 이 방법은, 적어도 2개의 다른 게이트 산화물층도 필요로 하고, 약 10nm의 한쪽의 레이어는, 기판의 표면과 前記 하부 폴리시리콘 레이어와 사이에 형성되고, 前記 메모리 셀에 관한 게이트 산화물층으로서 동작하고, 약 15nm의 한쪽의 레이어는, 前記 기판과 前記 상부 폴리시리콘 레이어와 사이에 형성되고, 前記 서비스 회로의 트랜지스터의 게이트 산화물층을 형성한다.

【0011】 동일 제조 방법에서, 前記 메모리의 낮은 인가 전압에서의 성능을 개선하기 위하여, 얇은 게이트 산화물층(7-10nm)을 갖는 트랜지스터도 제공되고, 이러한 트랜지스터는, 前記 제2폴리시리콘 레이어에서 형성된 게이트 전극을 갖는다. 하지만, 필요한 추가의 마스크의 수를 적어도 1개 증가시키기 위하여, 얇은 게이트 산화물층을 갖는 이러한 트랜지스터는, 많은 구조적 복잡성을, 예를 들어 前記 메모리 셀을 프로그래밍하는 데 필요한 비교적 높은 전압을 제어하는 얇은 게이트 산화물층을 갖는 트랜지스터와 공유한다.

【0012】 비휘발성 메모리, 예를 들어, 플래시 EEPROM을, 진보된 CMOS 제조 프로세스에 의해 집적하는 경우, 前記 고성능 트랜지스터의 특성을 유지하는 것이 필요하다. 이것을 달성하기 위하여, 前記 고성능 트랜지스터는, 구조적 복잡성을, 前記 메모리 셀에 의해 필요로 하는 비교적 높은 전압을 제어하는 트랜지스터와 공유하는 것은 불가능하다. 따라서, 2개의 다른 게이트 산화물층과, 적절한 전압을 제어하는 1개 또는 2개의 추가 마스크 등의 형성을 제공하는 것만으로는 충분하지 않다.

이, 實際には, 前記高電圧トランジスタに関する高電圧接合を製造するために追加の特別なマスクが必要であり, したがって, 追加のマスクの数は, 容易に過度になってしまう.

[0013] 上述した先行技術の観点において, 本発明の目的は, 不揮発性メモリ及び高性能論理回路網を同じ半導体チップにおいて集積する方法を提供することである.

[0014] 【課題を解決するための手段】 本発明によれば, この目的は, 添付した請求項 1 において規定した方法によって達成される.

[0015] 本発明の特徴及び利点は, 添付した図面の助けと共に, 特許に非限定的な例として与えた以下のその好適実施形態の詳細な説明から明かになるであろう.

[0016] 【発明の実施の形態】 図面, 特に図 1 を参照し, 半導体材料, 代表的に p 型単結晶シリコンの基板 1 から開始して, 薄いシリコン酸化物絶縁層 2 を基板 1 上に形成する. 絶縁層 2 を, 例えば, 基板 1 において, シリコン酸化物によって満たされる表面 "溝" の形成によって作成してもよい.

[0017] 望むなら, ドーパントを, 基板 1 において, この点において特別なフォトリソグラフィマスクによって選択的にインプラントし, 代表的に, 基板 1 のバイアスと別に前記メモリのポティをバイアスするために設けられた, 埋められた "ウェル" 又は "タブ" を形成してもよい.

[0018] 次に, シリコン酸化物の層 300 を, 基板 1 の表面上に形成する. 酸化物層 300 は, 好適には, 約 100~200 Å の厚さを有し, 前記高電圧トランジスタ, すなわち, 例えばそのプログラミングのために前記メモリセルに必要な比較的高い電圧を制御しなければならぬトランジスタのゲート酸化物の形成に寄与する. 酸化物層 300 を形成した後, フォトリソグラフィマスクを前記基板の表面に塗布し, p 型ドーパント, 代表的にはボロンを, 前記メモリセルを形成すべき基板 1 の領域において, $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm² のドーズで選択的にインプラントする. このドーパントインプラントーションは, 前記メモリセルのしきい値電圧を調節するのに有用である. 同じフォトリソグラフィマスクの使用により, 酸化物層 300 を, 基板 1 の前記メモリセルを形成すべき領域から選択的に除去する. これらのステップの後, 構造は図 2 に示すようになり, この図において, 前記セルのしきい値電圧の調節に関するドーパントを導入し, 表面から酸化物層 300 を除去した基板 1 の領域を 4 で示す.

[0019] 次に, 酸化物層 300 より薄いシリコン酸化物層 5 を, 領域 4 において, 図 3 に示すように形成す

る. 約 70~100 Å の代表的な厚さを有する酸化物層 5 は, 前記メモリセルに関するゲート酸化物 (EEPROM 又はフラッシュ EEPROM メモリの特別な場合におけるトンネル酸化物) として働き, 前に形成された酸化物層 300 共に, 前記高電圧トランジスタに関するゲート酸化物の形成を完成し, 前記高電圧トランジスタは, 酸化物層 300 及び酸化物層 5 の厚さの合計に等しい厚さの複合酸化物層 3 によって構成され, 約 100~300 Å の全体的な厚さを与える (図面において, 酸化物層 3 を, 簡単のために 1 つの層として示し, 酸化物層 5 を層 300 に重ね, 低電圧トランジスタを収容する前記基板の領域において形成したが, これは, 後述するように, この層 3 はこれらの領域から完全に除去されるため, 重要ではない).

[0020] 依然として図 3 を参照し, 次に, 第 1 ボリシリコン層 6 を, 前記チップの表面において堆積させる. 図 4 を参照し, 次に, フォトリソグラフィマスク 100 を前記チップに塗布し, 第 1 ボリシリコン層 6 を選択的にエッチングし, 除去し, 前記メモリセルに関するフローティングゲート 7 を規定する. 同時に, 前記高電圧トランジスタに関するゲート電極 8 及び 9 を, 第 1 ボリシリコン層 6 において規定する. マスク 100 は, 第 1 ボリシリコン層 6 も, 基板 1 の前記高性能論理回路網の低電圧トランジスタを形成すべき領域から完全に除去されるようなレイアウトを有することに注意すべきである.

[0021] マスク 100 を完全に除去した後, マスク 10 を塗布し, n 型ドーパント, 代表的にリンを, 約 $1 \sim 5 \times 10^{13}$ 原子/cm² のドーズで選択的にインプラントし, 拡散させ, p チャネル高電圧トランジスタ (図 5) を含む n 型ウェルを形成する. 必要又は望むなら, 他のインプラントーションを, n 型ウェル 11 において, 前記 p チャネル高電圧トランジスタのしきい値電圧の調節のために行ってもよい. これらのインプラントーションを, 前記ドーパントが酸化物層 3 及びボリシリコンゲート 8 の下に貫通するのに十分な高いエネルギーで行わなければならない. 好適なインプラントーションエネルギーは, 例えば, 150~250 kV 及び 250~400 kV である.

[0022] p 型ドーパント, 代表的に BF₂ を, n 型ウェル 11 において, 同じマスク 10 によって, 例えば, 約 $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm² のドーズでインプラントし, 拡散させ, 前記 p チャネル高電圧トランジスタに関するゲート電極 8 のそばに配置された比較的強くドーパされたソース及びドレイン領域 12 及び 13 を形成する. これらの比較的強くドーパされた領域 12 及び 13 は, ("強くドーパされたドレイン" 又は LDD 領域として知られる) 前記 p 型高電圧トランジスタのソース及びドレイン領域の弱くドーパされた部分を構成する. このインプラントーションを, 前記前のイ

인프라션에너지보다低いエネルギーにおいて行い、前記 p 型ドーパントがゲート電極 6 の下に貫通しないようにする。好適なエネルギーは、例えば、30ないし70kVである。これらのステップ後、構造は、図5に示すものとなる。

【0023】次に、マスク10を除去する。

【0024】同様な方法を、n型高電圧トランジスタに関して繰り返す。マスク10と同様のマスク14を、前記チップに塗布する。マスク14は、前記チップの、pチャネル高電圧トランジスタ、メモリセル及び前記高性能論理回路の低電圧トランジスタを集積すべき領域を覆い、マスク14の使用により、p型ドーパント、例えばボロンを、基板1において選択的にインプラントし、拡散させ、前記nチャネル高電圧トランジスタを含むp型ウェルを形成する。好適なインプラントエネージは、例えば、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm²である。好適なインプラントエネージは、前記ドーパントがゲート酸化膜3及びポリシリコンゲート9を貫通することを可能にする150ないし300kVである。

【0025】n型ドーパント、例えば、リンを、同じマスク14によってインプラントし、p型ウェル15中に拡散させ、前記nチャネル高電圧トランジスタに関する比較的深くドーパされたn型ソース及びドレイン領域16及び17を形成し、これらの領域16及び17は、前記nチャネル高電圧トランジスタに関するLOD領域を構成する。このインプラントエネージを、好適には、 $1 \times 10^{13} \sim 1 \times 10^{14}$ 原子/cm²とし、インプラントエネージは、好適には、50ないし100kVとし、このエネルギーは、前記ドーパントがポリシリコンゲート10の下に貫通するのを防ぐほど低い。

【0026】次に、マスク14を除去する。

【0027】この時点において、前記メモリセル及び高電圧トランジスタの集積に必要な特別な熱処理は完了する。

【0028】次に、前記高性能論理回路網の低電圧トランジスタを収容するn型及びp型ウェルを形成する。この目的のため、マスク20を前記チップに塗布する。マスク20を前記チップに塗布する。マスク20は、前記チップの、前記メモリセル及び高電圧トランジスタのための領域と、前記高性能論理回路網に関する前記n型低電圧トランジスタの集積のための領域とを覆う。マスク20は、前記チップの、前記高性能論理回路網の前記p型低電圧トランジスタのための領域は覆わないままである。マスク20の使用により、n型ドーパント、例えば、リンを、基板1においてインプラントし、拡散させ、前記低電圧pチャネルトランジスタを含むn型ウェル21を形成する。好適なインプラントエネージは、例えば、 $1 \times 10^{12} \sim 1 \times 10^{13}$ 原子/cm²

であり、好適なインプラントエネージは、50ないし100kVである。これらのステップ後、構造は、図7に示すようになる。

【0029】次に、マスク20を除去し、マスク20と同様のマスク22を前記チップに塗布し、このマスク22は、前記チップの、前記メモリ、高電圧トランジスタ及びpチャネル低電圧トランジスタのための領域を覆い、前記nチャネル低電圧トランジスタのための領域は覆わないままである。p型ドーパント、例えば、ボロンを、基板1中にインプラントし、拡散させ、前記高性能論理回路網の低電圧nチャネルトランジスタを含むp型ウェル23を形成する。好適なインプラントエネージは、例えば、 $10^{12} \sim 1 \times 10^{13}$ 原子/cm²のオーダーであり、インプラントエネージは、30ないし300kVである。図8に示す構造が生じる。

【0030】マスク20を前記チップから除去した後、誘電層18を、図9に示すようにその表面に堆積させる。誘電層18は、既知のポリシリコン間（“インターポリ”）誘電層であり、このポリシリコン間誘電層は、フローティングゲートMOSトランジスタによって構成されたセルを有する不揮発性メモリにおいて、前記メモリセルの前記第1ポリシリコン層によって形成されたフローティングゲートを前記メモリセルの前記第2ポリシリコン層によって形成された制御ゲートから分離する。慣例的には、ポリシリコン間誘電層18を、好適には、トリプル酸化物-窒化物-酸化物（“ONO”）層とする。本方法のこのステップは、無視できる熱バランスを有することに注意すべきである。

【0031】前記ポリシリコン間誘電層18を堆積した後、マスクを前記チップに塗布し、その後の選択的エッチングに使用する。フローティングゲートMOSトランジスタによって構成されたメモリセルを有する不揮発性メモリを製造する慣例的な方法において、このマスクは、メモリセルのマトリックスを収容する前記チップの領域を除く前記インターポリ誘電層の選択的除去のために働き、前記領域は、正確に、前記メモリセルのフローティングゲートをこれらの制御ゲートから分離するために前記インターポリ誘電層が必要とされる場所である。この理由のために、このマスクは、しばしば、“マトリックスマスク”と呼ばれる。

【0032】不揮発性メモリを製造する慣例的な方法と相違して、本発明による方法において、前記マトリックスマスクのジオメトリ（“レイアウト”）を、前記マトリックスマスクが、前記メモリセルのマトリックスを収容する前記チップの領域を覆うように修正するが、慣例的な方法におけるように、前記高電圧トランジスタを収容する前記チップの領域において、前記マトリックスマスクを、前記選択的エッチング中、インターポリ誘電層18が、前記高電圧トランジスタのポリシリコンゲート

8及び9上にも残り、前記メモリマトリックスの領域において、前記第1ポリシリコン層のその後段に接触すべき部分(例えば、図16及び17に示すような、前記高電圧トランジスタのゲート8及び9の領域)と、前記トランジスタのソース及びド레인接触12、13、16及び17とが、ポリシリコン間隔電層18から自由なままであるように整形する。

【0033】依然として本発明によれば、ポリシリコン間隔電層18のエッチング中、この時点までに前記高性能回路網の低電圧トランジスタのための前記チップの領域において残る懸余酸化物3もエッチングし、除去する。

【0034】ポリシリコン間隔電層18及び懸余酸化物3のエッチングの完了に応じて、前記マトリックスマスクを除去し、構造は図10に示すようになる。

【0035】接触すべき領域からの前記ポリシリコン間隔電層の除去は、その後の絶縁領域2において存在する前記シリコン酸化物に關して高度に選択的であるエッチングによる、いわゆる“ボータレス”接触、すなわち、絶縁酸化物領域に自己整列するように形成された接触の形成に必須である。

【0036】酸化物層3の厚さより薄い、好適には20~80Åの厚さを有するシリコン酸化物層24を、前記高性能回路網の低電圧トランジスタのための前記チップの領域における基板1の表面と、したがってn型ウェル21及びp型ウェル23上とに成長させる。

【0037】次に、第2ポリシリコン層25を、前記チップ全体において堆積し、図11に示す構造を生じる。

【0038】この時点において、前記メモリセルに特有の最後のステップを行う。第2ポリシリコン層25、ポリシリコン間隔電層18及び第1ポリシリコン層6の自己整列選択的エッチングを、前記メモリセルの領域において、不揮発性メモリを製造する慣例的な方法の内にすでに与えられ、前記高電圧トランジスタ及び低電圧トランジスタのための前記チップの領域と、前記セルを形成すべき前記メモリマトリックスのための領域の部分とを覆うマスク28によって行う。このようにして、前記メモリセルのフローティングゲート7及び制御ゲート29は、完全に規定される。前記メモリセルの“スタックゲート”構造が完全に規定された後、n型ドーパント、例えばヒ素を、同じマスク28の使用によってインプラントし、拡散させ、前記メモリセルのソース及びド레인領域30及び31を形成する。好適なインプラントーションドーパント及びエネルギーは、例えば、1~5×10¹⁵原子/cm²及び40~100keVである。これらのステップの後、構造は図12に示すようになる。このようにして、前記メモリセルの構造を完成する。

【0039】次に、マスク28を除去し、その後の、前記高性能回路網のpチャネル及びnチャネル低電圧トランジスタのゲート26及び27を規定するための、前記高

性能回路網の低電圧トランジスタのための前記チップの領域における第2ポリシリコンレベル25の選択的エッチングのための別のマスク280を前記チップに給布する。前記高電圧トランジスタのゲート8及び9を覆うカバ-80及び90も、第2ポリシリコンレベル25において、同じマスク及び同じエッチングプロセスによって規定する。前記第2ポリシリコン層が前記高電圧トランジスタ上に残っているという事実は、フローティングポリシリコンスペーサが前記ゲートの側において形成することを防く。図16及び17に示すように、前記高電圧トランジスタが関係する限り、マスク280のレイアウトを、第2ポリシリコン層25において規定されたカバ-80及び90が、これらのトランジスタのゲート8及び9を覆うポリシリコン間隔電層18の部分の内側に配置されるようにする。

【0040】次に、慣例的な方法ステップは、(例えば、図15において示す領域36及び37のような)前記高性能回路網のnチャネル及びpチャネル低電圧トランジスタに関するソース及びド레인領域の深くドーパされた部分(LDD)の形成に続く。

【0041】次に、スペーサ(図15において39で示す)を、既知のように、前記メモリセルのゲートと、高電圧及び低電圧双方のトランジスタのゲートの側において形成する。

【0042】前記スペーサを形成した後、ソース及びド레인領域のより深くドーパされた部分(例えば、図15の領域44、45及び46、47)を、前記高電圧及び低電圧トランジスタに關して形成する。

【0043】次に、シリサイド化プロセスを、好適には、前記トランジスタのソース及びド레인領域と、これらのゲートとにおいて行い、シリサイド領域を形成する。

【0044】次に、誘電層を堆積し、これらにおいて、前記高電圧及び低電圧トランジスタのゲートとソース及びド레인領域と、前記セルのゲートとソース及びド레인領域とに接触するためのビアを開ける。

【0045】図15は、前の図と比較してわずかに拡大したスケールにおいて、前記製造プロセスの完了における前記nチャネル高電圧トランジスタ、メモリセル及びpチャネル低電圧トランジスタを示す。すでに説明した要素と同時に、前記高電圧トランジスタ及び低電圧トランジスタの深くドーパされたソース及びド레인領域46、47、44及び45上と、前記メモリセルのソース及びド레인領域30及び31上と、前記ゲート電極上に形成されたシリサイド領域30が見える。誘電層52において形成され、金属化ライン53が前記トランジスタ及びメモリセルのソース及びド레인領域とゲート電極とに接触することを可能にするコンタクトビア51も見える。

【0046】図16は、高電圧トランジスタの模式的平

면도であり、図17は、その図16のライン×V11ー×V11によって示す面において切断した面を示す。前記トランジスタの第1ポリゲート9を覆うポリシリコン間隔電層18の部分は、第2ポリカバー90が完全にポリシリコン間隔電層18内になるように延在することに注意すべきである。ポリシリコン間隔電層18は、第2ポリカバー90に接触するコンタクト51の列と、他方において、下にある第1ポリゲート9に接触するコンタクト51の列との間の位置において休す。

【0047】前記高電圧トランジスタのゲート8及び9上のポリシリコンカバー80、90の存在によって、比較的強くドーパされたソース及びドレイン領域の部分12及び13を、領域46及び47を形成するための比較的高いドーパにおけるドーパントのインプランテーション中に保護する特別なマスクを設ける必要はない。実際には、カバー80及び90がこの機能を行う。カバー80及び90は、前記比較的強くドーパされたソース及びドレイン部分がシリサイド化されるのを防ぐ機能も行う。これは、通常、特別なマスクの塗布を必要とする。

【0048】本発明の有利な態様は、メモリデバイスと高性能低電圧回路網とを同じチップにおいて集積する製造方法の状況内で、前記メモリセルのフローティングゲートと前記高電圧トランジスタのゲート電極の双方を形成する同じポリシリコン層(前記第1ポリシリコン層)を使用することから成る。

【0049】この形式のアプローチは、前記高電圧トランジスタに関するソース及びドレインインプランテーションを、前記低電圧トランジスタに関するソース及びドレインインプランテーションから完全に分離することを可能にする。

【0050】本発明による方法は、プログラム可能な不揮発性メモリの製造に必要な方法のステップを、進歩した高性能論理回路の製造方法に、前記論理回路網を製造するのに必要なマスクに加えて最小の数のマスクで、組み込むことを可能にする。高密度メモリに関する上述した実施形態において、高性能論理回路網に関する方法において設けられるマスクに加えて5つのマスクが存在し、より正確には、前記メモリセルのトンネル酸化膜を形成するマスクと、前記第1ポリシリコンレベルを規定するマスクと、前記pチャネル高電圧トランジスタに関するn型ウェルを形成するマスクと、nチャネル高電圧トランジスタに関するp型ウェルを形成するマスクと、前記マトリックス領域における第2ポリシリコンレベル及びインターポリゲート層の自己整列エッチングに関するマトリックスマスクと、前記マトリックスにおける第2シリコンレベル及びポリシリコン間隔電体の自己整列エッチングに関するマスクが存在する。

【0051】さらに追加のマスクによって、前記メモリセルのボディを、基板1の分極とは別個に分極できるようにするために、この中で前記メモリセルを形成する環

の込みウェルを形成することができる。この場合において、追加のマスクの数は7になる。

【0052】上述した6つ又は7つのマスクに加えて依然として他の追加のマスクによって、高密度メモリさえ集積することができ、この目的に関して、自己整列されたソースを有するメモリマトリックスの製造に関するマスクを設けるだけで十分である。

【0053】他の形式のメモリセルを集積すべき場合、追加のマスクの数を、上述した実施形態より少なくしてもよく、例えば、前記メモリマトリックスの領域における第2ポリシリコンレベル及びポリシリコン間隔電体の自己整列エッチングに関するマスクをなくすことによって、5つに減らすことができる。

【0054】
【発明の効果】本発明による方法の固有のモジュラリティによって、前記低電圧論理回路のトランジスタの性能は、本方法内の、前記メモリセルと前記比較的高電圧のトランジスタとを集積する特別なステップの導入によって変化しない。前記低電圧トランジスタにおける影響は、前記メモリセルを製造するのに必要な本方法のステップは開始時に関係するため、最小である。

【図1】 本発明による製造方法の主なステップを断面は断面の順に図面する。

【図2】 本発明による製造方法の主なステップを断面において示す図である。

【図3】 本発明による製造方法の主なステップを断面において示す図である。

【図4】 本発明による製造方法の主なステップを断面において示す図である。

【図5】 本発明による製造方法の主なステップを断面において示す図である。

【図6】 本発明による製造方法の主なステップを断面において示す図である。

【図7】 本発明による製造方法の主なステップを断面において示す図である。

【図8】 本発明による製造方法の主なステップを断面において示す図である。

【図9】 本発明による製造方法の主なステップを断面において示す図である。

【図10】 本発明による製造方法の主なステップを断面において示す図である。

【図11】 本発明による製造方法の主なステップを断面において示す図である。

【図12】 本発明による製造方法の主なステップを断面において示す図である。

【図13】 本発明による製造方法の主なステップを断面において示す図である。

【図14】 本発明による製造方法の主なステップを断面において示す図である。

【図 15】 前記製造プロセスの完了における材の図の構造を、断面において、比較してわずかに拡大したスケールにおいて示す図である。

【図 16】 高電圧トランジスタの模式的平面図である。

【図 17】 高電圧トランジスタの図 16のライン×V I I - X V I I の面において取った断面図である。

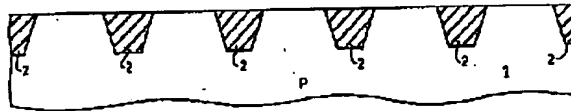
【符号の説明】

- 1 基板
- 2 シリコン酸化物絶縁膜
- 3, 5, 24, 300 ゲート絶縁物層
- 4 表面から絶縁物層300を除去した基板1の領域
- 5 第1ポリシリコン層
- 7 フローティングゲート
- 8, 9, 26, 27 ゲート電極
- 10, 14, 20, 22, 28, 100, 280 フォトリソグラフィマスク
- 11, 21 n型ウェル
- 12, 16, 36 ソース領域の深くドーピングされた部分

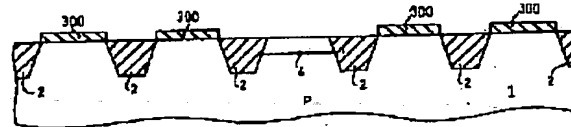
13, 17, 37 ドレイン領域の深くドーピングされた部分

- 15, 23 p型ウェル
- 18, 52 誘電層
- 25 第2ポリシリコン層
- 29 制御ゲート
- 30 ソース領域
- 31 ドレイン領域
- 34 シリコン酸化物層
- 39 スペース
- 44, 46 ソース領域の深くドーピングされた部分
- 45, 47 ドレイン領域の深くドーピングされた部分
- 50 シリサイド領域
- 51 コンタクト
- 53 金属化ライン
- 80, 90 カバー

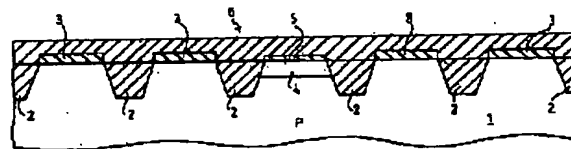
【図 1】



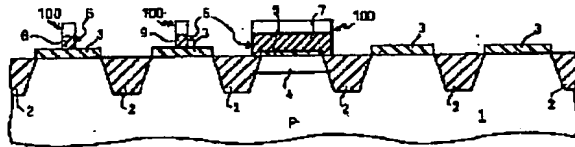
【図 2】



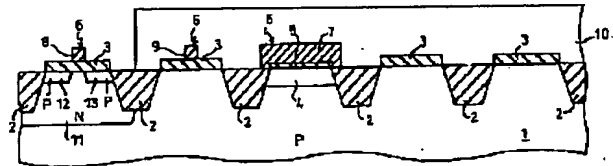
【図 3】



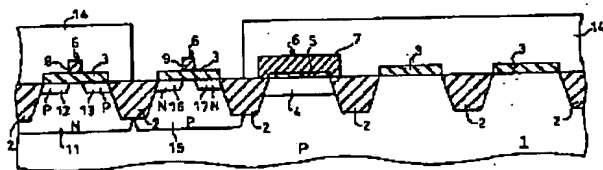
[圖 4]



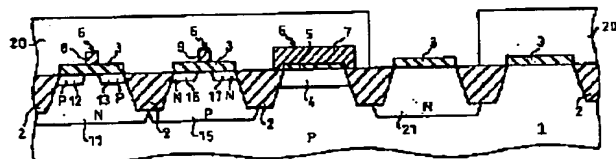
[圖 5]



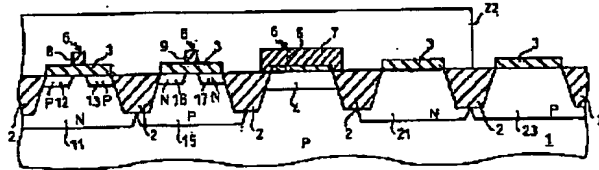
[圖 6]



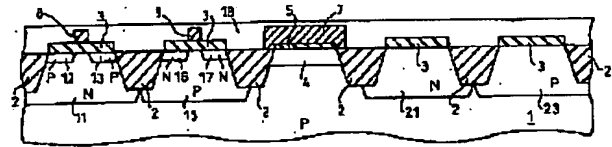
[圖 7]



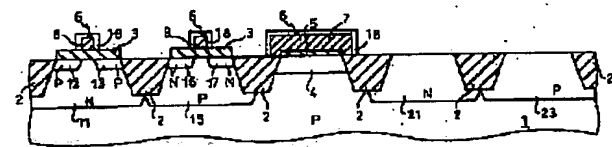
[圖 8]



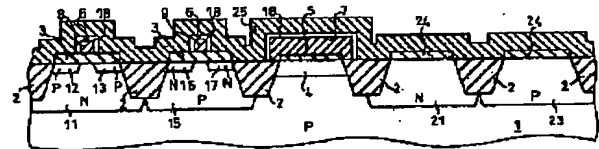
[圖 9]

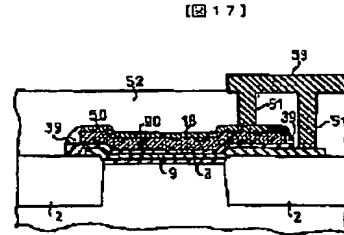
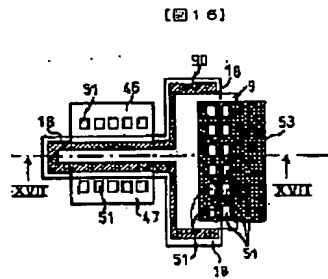


[圖 10]



[圖 11]





フロントページの続き

(51)Int. Cl. 7
H01L 27/115
29/768
29/792

特許記号

F I
H01L 29/78

テーマコード (参考)

371

(72)発明者 アルフォンソ マウレッリ
イタリア国 ミラノ 20050 サルビアー
デ ヴィア モロ 6
(72)発明者 エリザベッタ パルンボ

イタリア国 20136 ミラノ ヴィア カ
ルロ ヴィッタディーニ 6
(72)発明者 ファウスト ビアツァ
イタリア国 ミラノ 20041 アグラータ
ブリアンツァ ヴィア パッティスディ
12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.